

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報 (A) 平3-184368

⑬ Int.CI.⁵H 01 L 27/088
21/316

識別記号 廷内整理番号

S 6940-5F

⑭ 公開 平成3年(1991)8月12日

7735-5F H 01 L 27/08 102 B

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-321514

⑯ 出 願 平1(1989)12月13日

⑰ 発明者 枇杷木 良隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑰ 発明者 小平 靖宣 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑰ 発明者 志野 克弥 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 则近 憲佑 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上に第1の領域と第2の領域とを形成する工程と、前記第1の領域上と前記第2の領域上とに熱酸化により第1の酸化膜を形成する工程と、前記第1の酸化膜上に第1のマスク材を形成する工程と、前記第1のマスク材をバーニングし前記第2の領域上のマスク材を除去する工程と、前記第1の酸化膜をエッティングし前記第2の領域上の酸化膜を除去する工程と、前記第2の領域上と前記第1のマスク材上とに熱酸化により第2の酸化膜を形成する工程と、前記第2の酸化膜上に第2のマスク材を形成する工程と、前記第2のマスク材をバーニングし前記第1の領域の前記第2の酸化膜上の前記第2のマスク材を除去する工程と、前記第1のマスク材上の前記第2の酸化膜をエッティングする工程とを備えたことを特徴とする半導体装置の製造方法。

(2) マスク材が導電体であることを特徴とする請求項(1)記載の半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、特に半導体基板に形成される酸化膜の製造方法に関する。

(従来の技術)

ICで2種類の内部電源を用いる場合、精度のよい2種類の膜厚のゲート酸化膜をもつMOSトランジスタを製造しなければならない。このようなMOSトランジスタの製造方法は、従来、厚さの異なった酸化膜を同一半導体基板上に形成するため、イオン打ち込み法を用いていた。以下、第2図を参照して従来技術による半導体装置の製造方法について説明する。

まず、選択酸化法でシリコン基板21上にフィールド酸化膜22を形成する。その後、シリコン基板21上にゲート酸化膜23を形成する(第2図(a))。

次に、フォトリソグラフィー法で形成したレジストパターン24をマスクとして、イオン打ち込み法により酸素25をシリコン基板21内に選択的に導入する(第2図(b))。

続いて、第2図(a)で形成したゲート酸化膜23をウェット法でエッチングする(第2図(c))。

さらに、熱酸化法でシリコン基板21上に第1の膜厚の酸化膜26、第2の膜厚の酸化膜26'を形成する(第2図(d))。

最後に、CVD法により酸化膜26、26'にポリシリコン層27を堆積させる(第2図(e))。

この方法をとると、酸素を導入した領域には、酸化膜が多量に存在するため、導入していない領域よりも厚い酸化膜が形成される。

しかし、酸素イオン打ち込みによる酸化の方法をとるため、酸化膜26'の膜質の低下を招く。特に、この酸化膜26'をゲート酸化膜としたMOS型トランジスタを形成した時、イオン打ち込みによるシリコン基板へのダメージの影響のため、ゲートリーア電流が大きくなる。また、この方法を

とると、酸素を導入した領域の酸化速度が速く、かつ、二つの酸化膜26、26'を同時に形成するため、厚さの精度の必要な酸化膜の膜厚の制御が難しいという欠点があった。

(発明が解決しようとする課題)

このように、酸素イオン打ち込み法による酸化膜形成のため、半導体基板がダメージを受け酸化膜の膜質の低下を招き、また、形成の時膜厚の制御が難しいという問題があった。

本発明は、以上の点に鑑みに、半導体基板にダメージを与えることなく、同一基板上に厚さの異なる良質な酸化膜を制御性よく形成することを目的とする半導体装置の製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

本発明による半導体装置の製造方法は、半導体基板上に第1の領域と第2の領域とを形成する工程と、前記第1の領域上と前記第2の領域上とに熱酸化により第1の酸化膜を形成する工程と、

前記第1の酸化膜上に第1のマスク材を形成する工程と、前記第1のマスク材をバターニングし前記第2の領域上のマスク材を除去する工程と、前記第1の酸化膜をエッチングし前記第2の領域上の酸化膜を除去する工程と、前記第2の領域上と前記第1のマスク材上とに熱酸化により第2の酸化膜を形成する工程と、前記第2の酸化膜上に第2のマスク材を形成する工程と、前記第2のマスク材をバターニングし、前記第1の領域の前記第2の酸化膜上のマスク材を除去する工程と、前記第1のマスク材上の前記第2の酸化膜をエッチングする工程とを備えたことを特徴とする。

(作用)

この製造方法では、第1の酸化膜上にバターニングされた第1のマスク材と、第2の酸化膜上にバターニングされた第2のマスク材とが、酸化膜のマスクとして作用し、同一半導体基板上に厚さの異なる酸化膜を形成する。

(実施例)

以下、本発明の実施例を第1図を参照して説明する。

第1図は、本発明に係わる半導体装置の製造方法を工程順に示した断面図である。

Pタイプのシリコン基板11上に選択酸化法でフィールド酸化膜12を形成する。その後、シリコン基板11上に膜厚200Åのシリコン酸化膜13を形成する(第1図(a))。

次にウェット法でシリコン酸化膜13をエッチングする。その後900°C、10%のHClを含む酸素雰囲気中で45分かけて、膜厚200Åの第1のシリコン酸化膜14-a、14-bを形成する。そして、CVD法により、膜厚500Åの第1のポリシリコン層15を堆積する(第1図(b))。

次に、フォトリソグラフィー法で形成したレジストパターン18をマスクとして、反応性エッチング法で第1のポリシリコン層15をバターニングし、ポリシリコン層15'を形成する。その後、ウェット法で第1の膜厚のシリコン酸化膜14-bをエッチングする(第1図(c))。

その後、レジストパターン16を除去後、第1のポリシリコン層15'上とシリコン基板11上とに900°C. 10%のHCl₂を含む酸素雰囲気中で45分かけて、膜厚200Åのシリコン酸化膜17を形成する(第1図(d))。

次に、ウェット法でシリコン酸化膜17をエッティングする。その後900°C., 10%のHCl_gを含む酸素雰囲気中200分かけて膜厚400Åの第2のシリコン酸化膜18-a, 18-bを形成する。次に、CVD法により膜厚500Åの第2のポリシリコン膜19を堆積する(第1図(e))。

次に、フォトリソグラフィー法で形成したレジストパターン 100をマスクとして、反応性エッチング法で第2のポリシリコン層19をパターニングし、ポリシリコン層19'を形成する。その後、ウェット法で第1のポリシリコン層15'上の第2の膜厚のシリコン酸化膜18-aをエッチングする(第1図(f))。

次に、レジストパターン 100を除去後、第 1 の
ポリシリコン層 15' 上と第 2 のポリシリコン層

なるシリコン酸化膜14-a, 18-bをシリコン基板11上に形成するため、シリコン基板11にダメージを与えることなく、良質な酸化膜が得られる。

また、本実施例によれば 900℃, 10% の HCl を含む酸素雰囲気中で、厚さの異なるシリコン酸化膜 14-a を形成後、ポリシリコン層 15' をマスクとして用いシリコン酸化膜 18-b を形成するため、厚さの異なる酸化膜の膜厚を精度よく制御できる。

なお、この方法はホットキャリアの対策のための内部電源2種類化（例えば3.3V, 5V）に伴う、精度のよい2種類の膜厚のゲート酸化膜をもつMOSトランジスタを製造しなければならない場合等に適用できる。

上記実施例では、第1の膜厚のシリコン酸化膜14-a、第2の膜厚のシリコン酸化膜18-bを形成したが、さらに第3、第4の膜厚のシリコン酸化膜を形成するには、第1図(f)のレジストパターン100を除去後第1図(d)～(f)の工程を繰り返し行えばよい。また、上記実施例では、シリコ

19' 上に CVD 法で膜厚 3500 Å の第 3 のポリシリコン層 101 を堆積する (第 1 図 (g))。

次に、フォトリソグラフィー法で第1のポリシリコン層 $15'$ 、第2のポリシリコン層 $19'$ 、第3のポリシリコン層 101 をバターニングし、ポリシリコン層 $15'$ 、 $19'$ 、 $101'$ を形成する。つづいて、イオン打ち込み法により As^+ を打ち込み、その後 NMOS ソース N^+ 拡散層 $102-\text{a}$ 、 NMOS ドレイン N^+ 拡散層 $102-\text{b}$ を形成する（第1図(h)）。

次に、層間绝缘膜 103を堆積する（第1図（1））。

そして、電極取り出しのために開孔し、N MOSソース電極104-a, NMOSドレイン電極104-bを形成し、さらに絶縁保護膜105を堆積し、膜厚の異なるゲート酸化膜をもつNMOSトランジスタが得られる。

本実施例によれば、従来のようにシリコン基板上上の 2 つの領域の一方に酸素をイオン打ち込み法により選択的に導入することなしに、厚さの異

ン酸化膜 13, 17 を良質なシリコン酸化膜を得たため、ダミーの酸化膜として形成したが、この形成を省略することもできる。

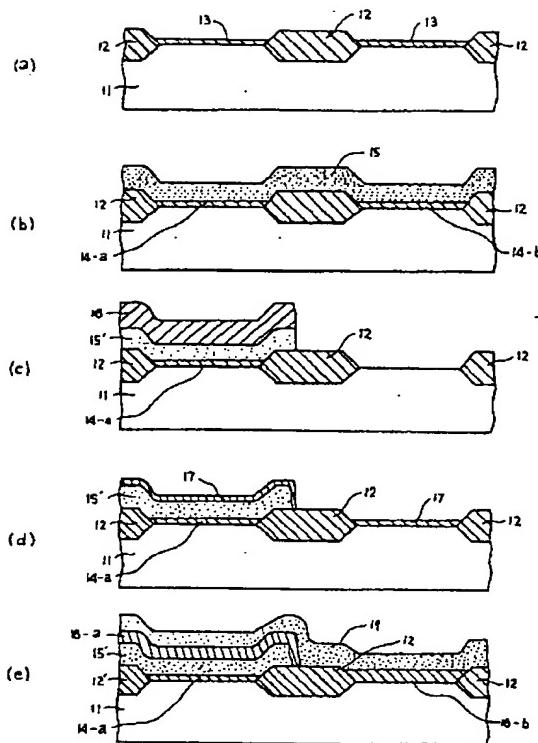
[発明の効果]

以上の結果から、本発明の製造方法を用いることによって、同一半導体基板上に異なった膜厚の酸化膜を形成する場合に、半導体基板へのダメージをなくし、良質な酸化膜を得ることができ、かつ膜厚の制御性も向上することができる。

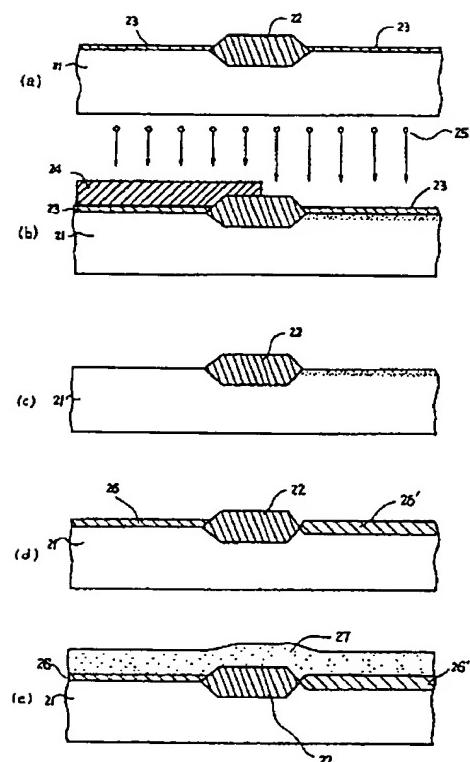
4. 図面の簡単な説明

第1図は本発明の実施例に係わる半導体装置の製造方法を工程順に示した断面図、第2図は従来技術による半導体基板上に酸化膜を形成する工程を順に示した断面図である。

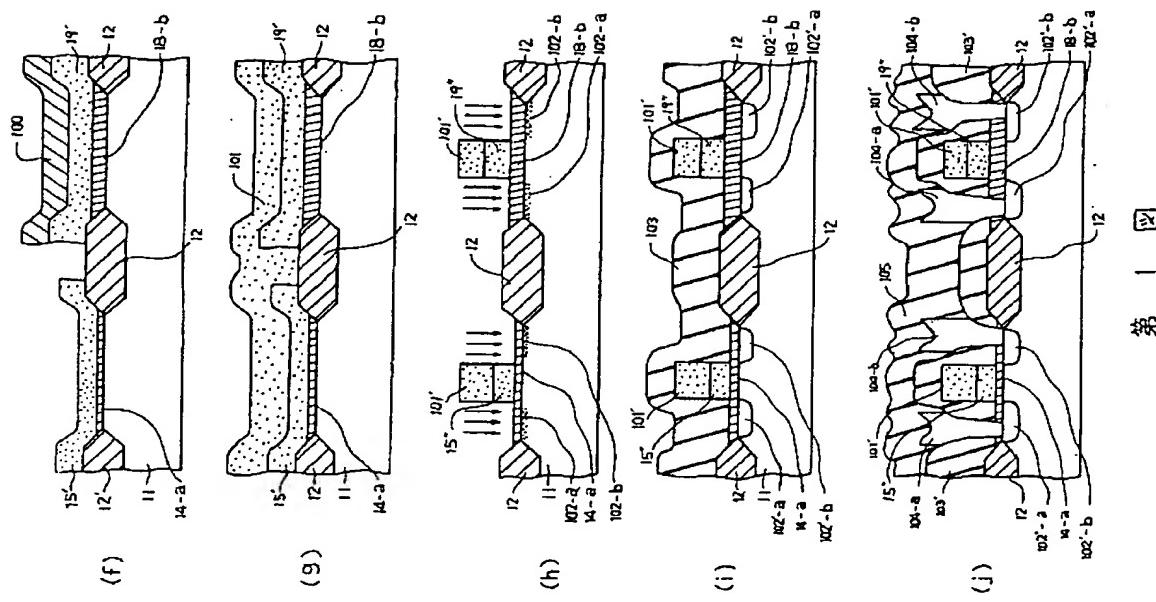
11. 21…シリコン基板。
 14. 18, 23, 28…酸化膜。
 12. 22…フィールド酸化膜。
 15. 19, 27…ポリシリコン層。
 16. 100, 24…フォトレジスト。



第 1 四



第 2 四



四
一